

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-124618

(P2007-124618A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl. F I テーマコード (参考)  
 HO4L 7/10 (2006.01) HO4L 7/10 5K047

審査請求 未請求 請求項の数 16 O L (全 29 頁)

<p>(21) 出願番号 特願2006-210196 (P2006-210196)                  (22) 出願日 平成18年8月1日(2006.8.1)                  (31) 優先権主張番号 特願2005-286807 (P2005-286807)                  (32) 優先日 平成17年9月30日(2005.9.30)                  (33) 優先権主張国 日本国(JP)</p>	<p>(71) 出願人 591230295                  NTTエレクトロニクス株式会社                  東京都渋谷区道玄坂1丁目12番1号                  (71) 出願人 000004226                  日本電信電話株式会社                  東京都千代田区大手町二丁目3番1号                  (74) 代理人 100082175                  弁理士 高田 守                  (74) 代理人 100106150                  弁理士 高橋 英樹                  (72) 発明者 森田 靖                  東京都渋谷区道玄坂一丁目12番1号 N                  T Tエレクトロニクス株式会社内</p>
---	---

最終頁に続く

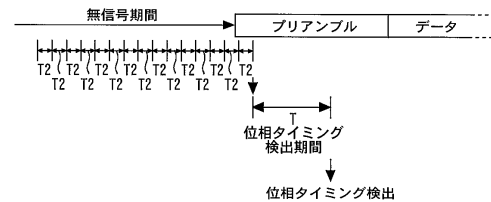
(54) 【発明の名称】 クロックデータ再生回路及び電子装置

(57) 【要約】

【課題】この発明は、クロックデータ再生回路に関し、短いプリアンブルでクロック再生やデータ再生を可能とすることを目的とする。

【解決手段】プリアンブルとデータとを含む入力信号を受けて、クロックとデータの同期を再生するクロックデータ再生回路を設ける。第1設定時間T2毎に、当該第1時間T2中に入力された信号列と、プリアンブルに含まれるべき特定の信号列とを比較する。その比較によって両者の一致が認められたらプリアンブルが入力されたと判定する。プリアンブル検出が判定されたことを契機に、第2設定時間Tに渡る入力信号とクロックとに基づいて、両者の同期調整を行う。第1設定時間T2は、第2設定時間Tに比して短い時間とする。

【選択図】 図2



**【特許請求の範囲】****【請求項 1】**

プリアンブルとデータとを含む入力信号を受けて、クロックとデータの同期を再生するクロックデータ再生回路であって、

第 1 設定時間毎に、当該第 1 時間中に入力された信号列と前記プリアンブルに含まれる特定信号列との比較に基づいて、プリアンブルが入力されたか否かを判定し、プリアンブルの入力が判定された場合にプリアンブル検出信号を発生するプリアンブル検出手段と、

前記プリアンブル検出信号の受信を契機に、内部クロックを再生クロックとみなし、第 2 設定時間に渡る入力信号とクロックとに基づいて、両者の同期調整を行う同期調整手段とを備え、

前記第 1 設定時間は、前記第 2 設定時間に比して短いことを特徴とするクロックデータ再生回路。

10

**【請求項 2】**

プリアンブルとデータとを含む入力信号を受けて、クロックとデータの同期を再生するクロックデータ再生回路であって、

第 1 設定時間毎に、当該第 1 時間中に入力された信号列と前記プリアンブルに含まれる特定信号列との比較に基づいて、プリアンブルが入力されたか否かを判定し、プリアンブルの入力が判定された場合にプリアンブル検出信号を発生するプリアンブル検出手段と、

内部クロックを再生クロックとみなし、リセット後の第 2 設定時間に渡る入力信号とクロックとに基づいて、両者の同期調整を行う同期調整手段と、

20

前記プリアンブル検出手段が前記第 1 設定時間を計数した時点で前記プリアンブル検出信号を発生しなかった場合に、前記同期調整手段をリセットする同期調整リセット手段とを備え、

前記第 1 設定時間は、前記第 2 設定時間に比して短いことを特徴とするクロックデータ再生回路。

**【請求項 3】**

前記プリアンブル検出手段は、前記第 1 設定時間を計数する第 1 カウンタを備え、

前記同期調整リセット手段は、

前記第 1 カウンタに遅れて前記第 1 設定時間を計数する第 2 カウンタと、

前記第 2 カウンタによって前記第 1 設定時間が計数された際に前記同期調整手段に向けてリセット信号を発生するリセット信号発生手段と、

30

前記プリアンブル検出信号を受けて、前記リセット信号の発生を禁止するリセット禁止手段と、を含むことを特徴とする請求項 2 記載のクロックデータ再生回路。

**【請求項 4】**

前記プリアンブル検出手段は、

入力信号に遅延処理を施して少なくとも 1 つの遅延信号を生成する遅延手段と、

前記入力信号及び前記少なくとも 1 つの遅延信号を対象として、再生クロックとみなす内部クロックのトリガエッジの発生時における信号値を、前記特定信号列を構成する信号値と比較する比較手段と、

前記比較の結果に基づいて、前記入力信号及び前記少なくとも 1 つの遅延信号のそれぞれについて、前記特定信号列との一致度を出力する一致度出力手段と、

40

前記入力信号及び前記少なくとも 1 つの遅延信号のうち、少なくとも 1 つについて、判定値を超える一致度が認められた場合に前記プリアンブル検出信号を発生する信号発生手段と、

を備えることを特徴とする請求項 1 乃至 3 の何れか 1 項記載のクロックデータ再生回路

。

**【請求項 5】**

前記入力信号及び前記少なくとも 1 つの遅延信号のうち、少なくとも 1 つを対象として、前記内部クロックのトリガエッジの発生毎に信号値を取得し、かつ、それらの信号値をパラレル化するパラレル化手段を含み、

50

前記比較手段は、前記入力信号及び前記少なくとも1つの遅延信号のうち、前記パラレル化の対象とされたものについては、パラレル化された信号値を、前記特定信号列と比較することを特徴とする請求項4記載のクロックデータ再生回路。

【請求項6】

前記プリアンプル検出手段は、

再生クロックとみなす内部クロックに遅延処理を施して少なくとも1つの遅延クロックを生成するクロック遅延手段と、

前記内部クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、トリガエッジの発生時における前記入力信号の値を、前記特定信号列を構成する信号値と比較する比較手段と、

10

前記比較の結果に基づいて、前記内部クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記入力信号と前記特定信号列との一致度を出力する一致度出力手段と、

前記内部クロック及び前記少なくとも1つの遅延クロックのうち、少なくとも1つについて、判定値を超える一致度が認められた場合に前記プリアンプル検出信号を発生する信号発生手段と、

を備えることを特徴とする請求項1乃至3の何れか1項記載のクロックデータ再生回路

【請求項7】

前記クロック及び前記少なくとも1つの遅延クロックのうち、少なくとも1つを対象として、トリガエッジの発生毎に前記入力信号の信号値を取得し、かつ、それらの信号値をパラレル化するパラレル化手段を含み、

20

前記比較手段は、前記クロック及び前記少なくとも1つの遅延クロックのうち、前記パラレル化の対象とされたものについては、パラレル化された信号値を、前記特定信号列と比較することを特徴とする請求項6記載のクロックデータ再生回路。

【請求項8】

前記同期調整手段は、

前記第2設定時間に渡る入力信号に遅延処理を施して少なくとも1つの遅延信号を生成する第2遅延手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号を対象として、当該内部クロックのトリガエッジの発生時における信号値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

30

前記比較の結果に基づいて、前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のそれぞれについて、前記特定信号列との一致度を出力する第2一致度出力手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、最も一致度の高いものを前記同期調整信号とする信号判定手段と、を備え、更に、

前記同期調整信号を前記内部クロックでラッチした信号、及び前記同期調整信号のうち少なくとも一方を、前記内部クロックと共に出力するクロックデータ再生手段を備えることを特徴とする請求項1乃至7の何れか1項記載のクロックデータ再生回路。

40

【請求項9】

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、少なくとも1つを対象として、当該内部クロックのトリガエッジの発生毎に信号値を取得し、かつ、それらの信号値をパラレル化する第2パラレル化手段を含み、

前記第2比較手段は、前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、前記パラレル化の対象とされたものについては、パラレル化された信号値を、前記特定信号列と比較することを特徴とする請求項8記載のクロックデータ再生回路。

【請求項10】

前記同期調整手段は、

前記クロックに遅延処理を施して少なくとも1つの遅延クロックを生成する第2クロッ

50

ク遅延手段と、

前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、第2設定時間に渡る、トリガエッジの発生時における前記入力信号の値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

前記比較の結果に基づいて、前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記第2設定時間に渡る入力信号と前記特定信号列との一致度を出力する第2一致度出力手段と、

前記クロック及び前記少なくとも1つの遅延クロックのうち、最も一致度の高いものを前記同期調整クロックとする信号判定手段と、を備え、更に、

前記入力信号を前記同期調整クロックでラッチした信号、及び前記入力信号のうち少なくとも一方を、前記同期調整クロックと共に出力するクロックデータ再生手段を備えることを特徴とする請求項1乃至7の何れか1項記載のクロックデータ再生回路。

10

【請求項11】

前記クロック及び前記少なくとも1つの遅延クロックのうち、少なくとも1つを対象として、トリガエッジの発生毎に前記第2設定時間に渡る入力信号の信号値を取得し、かつ、それらの信号値をパラレル化する第2パラレル化手段を含み、

前記第2比較手段は、前記クロック及び前記少なくとも1つの遅延クロックのうち、前記パラレル化の対象とされたものについては、パラレル化された信号値を、前記特定信号列と比較することを特徴とする請求項10記載のクロックデータ再生回路。

20

【請求項12】

前記同期調整手段は、

前記第2設定時間に渡る入力信号に遅延処理を施して少なくとも1つの遅延信号を生成する第2遅延手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号を対象として、当該内部クロックのトリガエッジの発生時における信号値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

前記比較の結果に基づいて、前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のそれぞれについて、前記特定信号列との一致度を出力する第2一致度出力手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、最も一致度の高いものを同期調整信号とする信号判定手段とを備え、更に、

30

前記同期調整信号を前記内部クロックでラッチした信号、及び前記同期調整信号のうち少なくとも一方を、前記内部クロックと共に出力するクロックデータ再生手段を備え、

前記遅延手段と前記第2遅延手段、及び前記比較手段と前記第2比較手段のうち少なくとも一方は、同一物で構成されていることを特徴とする請求項4又は5記載のクロックデータ再生回路。

【請求項13】

前記同期調整手段は、

前記第2設定時間に渡る入力信号に遅延処理を施して少なくとも1つの遅延信号を生成する第2遅延手段と、

40

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号を対象として、当該内部クロックのトリガエッジの発生時における信号値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

前記比較の結果に基づいて、前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のそれぞれについて、前記特定信号列との一致度を出力する第2一致度出力手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、最も一致度の高いものを同期調整信号とする信号判定手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、少なくとも1つを対象として、前記内部クロックのトリガエッジの発生毎に信号値を取得し、かつ

50

、それらの信号値を平行化する第2平行化手段を備え、

前記第2比較手段は、前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、前記平行化の対象とされたものについては、平行化された信号値を、前記特定信号列と比較し、更に、

前記同期調整信号を前記内部クロックでラッチした信号、及び前記同期調整信号のうち少なくとも一方を、前記内部クロックと共に出力するクロックデータ再生手段を備え、

前記遅延手段と前記第2遅延手段、前記比較手段と前記第2比較手段、及び前記平行化手段と前記第2平行化手段の少なくとも一つは、同一物で構成されていることを特徴とする請求項5記載のクロックデータ再生回路。

【請求項14】

10

前記同期調整手段は、

クロックに遅延処理を施して少なくとも1つの遅延クロックを生成する第2クロック遅延手段と、

前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記第2設定時間に渡る、トリガエッジの発生時における前記入力信号の値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

前記比較の結果に基づいて、前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記第2設定時間に渡る入力信号と前記特定信号列との一致度を出力する第2一致度出力手段と、

前記クロック及び前記少なくとも1つの遅延クロックのうち、最も一致度の高いものを前記同期調整クロックとする信号判定手段とを備え、更に、

20

前記入力信号を前記同期調整クロックでラッチした信号、及び前記入力信号のうち少なくとも一方を、前記同期調整クロックと共に出力するクロックデータ再生手段を備え、

前記クロック遅延手段と前記第2クロック遅延手段、及び前記比較手段と前記第2比較手段のうち少なくとも一方は、同一物で構成されていることを特徴とする請求項6又は7記載のクロックデータ再生回路。

【請求項15】

前記同期調整手段は、

クロックに遅延処理を施して少なくとも1つの遅延クロックを生成する第2クロック遅延手段と、

30

前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記第2設定時間に渡る、トリガエッジの発生時における前記入力信号の値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

前記比較の結果に基づいて、前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記第2設定時間に渡る入力信号と前記特定信号列との一致度を出力する第2一致度出力手段と、

前記クロック及び前記少なくとも1つの遅延クロックのうち、最も一致度の高いものを前記同期調整クロックとする信号判定手段と、

前記クロック及び前記少なくとも1つの遅延クロックのうち、少なくとも1つを対象として、トリガエッジの発生毎に前記第2設定時間に渡る入力信号の信号値を取得し、かつ

40

、それらの信号値を平行化する第2平行化手段を備え、

前記第2比較手段は、前記クロック及び前記少なくとも1つの遅延クロックのうち、前記平行化の対象とされたものについては、平行化された信号値を、前記特定信号列と比較し、更に、

前記入力信号を前記同期調整クロックでラッチした信号、及び前記入力信号のうち少なくとも一方を、前記同期調整クロックと共に出力するクロックデータ再生手段を備え、

前記クロック遅延手段と前記第2クロック遅延手段、前記比較手段と前記第2比較手段、及び前記平行化手段と前記第2平行化手段のうち少なくとも一つは、同一物で構成されていることを特徴とする請求項7記載のクロックデータ再生回路。

【請求項16】

50

請求項 1 乃至 15 の何れか 1 項記載のクロックデータ再生回路と、  
前記同期調整手段から、同期調整された状態で出力される信号とクロックの組み合わせ  
を用いて動作する信号処理回路と、  
を備えることを特徴とする電子装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、クロックデータ再生回路及び電子装置に係り、特に、受信した信号に対し  
て高速にクロックやデータを再生するためのクロックデータ再生回路、及び電子装置に関  
する。

10

【背景技術】

【0002】

従来、例えば特開 2001-251286 号公報に開示されるように、送信すべきデ  
ータに先立って、既定の信号列からなるプリアンプルを付加する技術が知られている。図  
9 は、このようなプリアンプルを伴う入力信号を処理するための、従来のクロックデー  
タ再生回路の構成を示す。また、図 10 は、プリアンプルを伴う入力信号の構成を示す。

【0003】

信号が断続的に送信される場合（パケット状の信号も同様）、受信側でのクロックの再  
生を容易にするために、図 10 に示すように、入力信号にプリアンプルを付加することが  
ある。受信側の装置では、入力信号の周波数と同等の周波数で変動するクロックで信号処  
理が行われる。しかし、入力信号の位相と、クロックの位相とは同期が取れていないのが  
通常であるから、受信側では、信号処理を行う以前に、入力信号とクロックの同期調整  
を行わなければならない。

20

【0004】

プリアンプルは、例えば、「0」「1」の交番信号で構成される。図 11 は、入力信号  
に付加された、そのようなプリアンプルの波形を示す。断続的な入力信号からクロックを  
再生する場合、一般的には、先ず、そのプリアンプルの部分を利用して、入力信号の位相  
タイミングが推定される。そして、位相タイミングの推定が適正に行われた場合は、その  
後、位相タイミングとクロックの同期調整が行われる。

【0005】

30

図 9 に示す従来のクロックデータ再生回路 10 は、位相タイミング検出回路 12 と、再  
生クロック生成回路 14 とで構成されている。位相タイミング検出回路 12 では、図 11  
に示すような入力信号の位相タイミングが検出される。ここで、図 11 は、「0」「1」  
の交番信号で構成されたプリアンプルの波形である。また、「位相タイミング」とは、こ  
の図に示すように、信号値が「0」と「1」との間で切り替わるタイミングをいう。

【0006】

図 12 は、入力信号（プリアンプル）の位相タイミングとクロックのトリガエッジ（こ  
こではアップエッジ）とが一致している場合を示したものである。受信側の装置では、ク  
ロックのトリガエッジに同期して、信号のラッチ等が行われる。従って、入力信号とク  
ロックとが図 12 に示すような関係にある場合は、受信側において、入力信号の値を正しく  
処理することができない。

40

【0007】

図 13 は、位相タイミング検出回路 12 が、入力信号の位相を検知する手法を説明する  
ためのタイミングチャートである。具体的には、図 13（A）は入力信号（プリアンプル）  
の波形であり、図 13（B）～図 13（D）は、入力信号をそれぞれ段階的に遅延させ  
た遅延信号の波形である。また、図 13（E）は、受信側のクロックの波形である。

【0008】

位相タイミング検出回路 12 は、入力信号に基づいて、図 13（B）～図 13（D）に  
示すような多段の遅延信号を生成し、それぞれの信号をクロックに合わせてラッチする。  
或いは、位相タイミング検出回路 12 は、基準クロックに基づいて、多段の遅延クロック

50

を生成し、入力信号を、それぞれのクロックに合わせてラッチする。

【0009】

この場合、位相タイミングが、クロックのトリガエッジと重なる信号については、ラッチされる信号値が不安定なものとなる。一方、位相タイミングがトリガエッジから外れている信号については、ラッチされる値が、プリアンプルの信号値、つまり、「0」「1」の交番値となる。従って、位相タイミング検出回路12は、それぞれの信号とクロックの組み合わせについて、ラッチした信号列と「0」「1」交番の信号列との一致度を比較することにより、入力信号とクロックの位相関係を知ることができる。

【0010】

図9に示す再生クロック生成回路14は、入力信号に対して位相調整されたクロックを生成する回路である。つまり、位相タイミング検出回路12が、多段の遅延クロックを生成するタイプの回路である場合に、入力信号を最も正しくラッチすることのできるクロックを再生クロックとして選択する回路である。再生クロック生成回路14は、この場合、具体的には、基準のクロック及び全ての遅延クロックのなかで、「0」「1」の交番信号列と最も一致度の高い信号列をラッチすることのできたものを再生クロックとする。

10

【0011】

このようにして選択されたクロックと入力信号とは、図13(D)及び図13(E)に示すような関係を満たすものとなる。以後、受信側では、上記の如く同期調整されたクロックで信号処理を行うことにより、入力信号に含まれるデータを正しく処理することができる。

20

【0012】

【特許文献1】特開2001-251286号公報

【発明の開示】

【発明が解決しようとする課題】

【0013】

図14は、図9に示す従来のクロックデータ再生回路の問題点を説明する図である。無線通信では、信号の値がノイズやフェージングによって大きく変動する場合が少なくない。このため、位相タイミング検出回路12において入力信号の位相タイミングを検出する際には、十分に長い位相タイミング検出期間Tに渡り位相の比較処理を行うことが必要である。

30

【0014】

図14において、T(1)、T(2)、T(3)、T(4)は、それぞれ、従来の回路において位相タイミングの検出が行われる期間を示している。すなわち、従来の回路は、信号の入力を常に待ち受けており、図14に示すように、位相タイミングの検出完了が判定されるまで、位相タイミング検出期間T毎に位相タイミングの検出処理を繰り返し実行する。

【0015】

ノイズの多い環境を想定した無線通信では、位相タイミングの検出精度を確保するために、数百ビット分の比較を可能とする位相タイミング検出期間Tが必要とされることがある。図14は、T(3)の期間の途中で信号の入力が開始され、T(3)の期間では、所望数の比較が得られず、期間T(4)の処理により位相タイミングが検出できた例を示している。

40

【0016】

上記の例に示すように、受信側の位相タイミング検出期間Tと、入力信号の発生時期とは同期のとられたものではない。このため、入力信号の発生時期によっては、位相タイミング検出期間Tの大半が無駄な比較に費やされる事態が生じ得る。より具体的には、例えば、位相タイミング検出期間T(n)の開始直後に入力信号が発生して、その期間T(n)において所望数の比較が得られなかった場合には、位相タイミングの検出を完了させるために、ほぼ2 \* Tの時間が必要とされる事態が生じ得る。

【0017】

受信側では、入力信号のデータ部分を処理し始める以前に位相タイミングの検出を終えておく必要がある。つまり、位相タイミングの検出は、プリアンプルの受信期間中に終え

50

ておくことが必要である。このため、位相タイミングの検出に  $2 * T$  の時間が必要であれば、入力信号には、データに先立って、 $2 * T$  時間分のプリアンブルを付加しておくことが必要である。このため、従来のシステムにおいては、特に、高い精度での位相タイミングの検出が要求される場合に、プリアンブルの肥大化により、データの伝送量が大きく削られるという問題が生じていた。

【0018】

この発明は、上述のような課題を解決するためになされたもので、短いプリアンブルでクロック再生やデータ再生を可能とするクロックデータ再生回路を提供することを目的とする。

【課題を解決するための手段】

10

【0019】

第1の発明は、上記の目的を達成するため、プリアンブルとデータとを含む入力信号を受けて、クロックとデータの同期を再生するクロックデータ再生回路であって、

第1設定時間毎に、当該第1時間中に入力された信号列と前記プリアンブルに含まれる特定信号列との比較に基づいて、プリアンブルが入力されたか否かを判定し、プリアンブルの入力が判定された場合にプリアンブル検出信号を発生するプリアンブル検出手段と、

前記プリアンブル検出信号の受信を契機に、内部クロックを再生クロックとみなし、第2設定時間に渡る入力信号とクロックとに基づいて、両者の同期調整を行う同期調整手段とを備え、

前記第1設定時間は、前記第2設定時間に比して短いことを特徴とする。

20

【0020】

また、第2の発明は、プリアンブルとデータとを含む入力信号を受けて、クロックとデータの同期を再生するクロックデータ再生回路であって、

第1設定時間毎に、当該第1時間中に入力された信号列と前記プリアンブルに含まれる特定信号列との比較に基づいて、プリアンブルが入力されたか否かを判定し、プリアンブルの入力が判定された場合にプリアンブル検出信号を発生するプリアンブル検出手段と、

内部クロックを再生クロックとみなし、リセット後の第2設定時間に渡る入力信号とクロックとに基づいて、両者の同期調整を行う同期調整手段と、

前記プリアンブル検出手段が前記第1設定時間を計数した時点で前記プリアンブル検出信号を発生しなかった場合に、前記同期調整手段をリセットする同期調整リセット手段と

30

を備え、

前記第1設定時間は、前記第2設定時間に比して短いことを特徴とする。

【0021】

また、第3の発明は、第2の発明において、

前記プリアンブル検出手段は、前記第1設定時間を計数する第1カウンタを備え、

前記同期調整リセット手段は、

前記第1カウンタに遅れて前記第1設定時間を計数する第2カウンタと、

前記第2カウンタによって前記第1設定時間が計数された際に前記同期調整手段に向けてリセット信号を発生するリセット信号発生手段と、

前記プリアンブル検出信号を受けて、前記リセット信号の発生を禁止するリセット禁止手段と、を含むことを特徴とする。

40

【0022】

また、第4の発明は、第1乃至第3の発明の何れかにおいて、

前記プリアンブル検出手段は、

入力信号に遅延処理を施して少なくとも1つの遅延信号を生成する遅延手段と、

前記入力信号及び前記少なくとも1つの遅延信号を対象として、再生クロックとみなす内部クロックのトリガエッジの発生時における信号値を、前記特定信号列を構成する信号値と比較する比較手段と、

前記比較の結果に基づいて、前記入力信号及び前記少なくとも1つの遅延信号のそれぞれについて、前記特定信号列との一致度を出力する一致度出力手段と、

50



前記入力信号及び前記少なくとも1つの遅延信号のうち、少なくとも1つについて、判定値を超える一致度が認められた場合に前記プリアンプル検出信号を発生する信号発生手段と、

を備えることを特徴とする。

【0023】

また、第5の発明は、第4の発明において、

前記入力信号及び前記少なくとも1つの遅延信号のうち、少なくとも1つを対象として、前記内部クロックのトリガエッジの発生毎に信号値を取得し、かつ、それらの信号値をパラレル化するパラレル化手段を含み、

前記比較手段は、前記入力信号及び前記少なくとも1つの遅延信号のうち、前記パラレル化の対象とされたものについては、パラレル化された信号値を、前記特定信号列と比較することを特徴とする。

10

【0024】

また、第6の発明は、第1乃至第3の発明の何れかにおいて、

前記プリアンプル検出手段は、

再生クロックとみなす内部クロックに遅延処理を施して少なくとも1つの遅延クロックを生成するクロック遅延手段と、

前記内部クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、トリガエッジの発生時における前記入力信号の値を、前記特定信号列を構成する信号値と比較する比較手段と、

20

前記比較の結果に基づいて、前記内部クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記入力信号と前記特定信号列との一致度を出力する一致度出力手段と、

前記内部クロック及び前記少なくとも1つの遅延クロックのうち、少なくとも1つについて、判定値を超える一致度が認められた場合に前記プリアンプル検出信号を発生する信号発生手段と、

を備えることを特徴とする。

【0025】

また、第7の発明は、第6の発明において、

前記クロック及び前記少なくとも1つの遅延クロックのうち、少なくとも1つを対象として、トリガエッジの発生毎に前記入力信号の信号値を取得し、かつ、それらの信号値をパラレル化するパラレル化手段を含み、

30

前記比較手段は、前記クロック及び前記少なくとも1つの遅延クロックのうち、前記パラレル化の対象とされたものについては、パラレル化された信号値を、前記特定信号列と比較することを特徴とする。

【0026】

また、第8の発明は、第1乃至第7の発明の何れかにおいて、

前記同期調整手段は、

前記第2設定時間に渡る入力信号に遅延処理を施して少なくとも1つの遅延信号を生成する第2遅延手段と、

40

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号を対象として、当該内部クロックのトリガエッジの発生時における信号値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

前記比較の結果に基づいて、前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のそれぞれについて、前記特定信号列との一致度を出力する第2一致度出力手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、最も一致度の高いものを前記同期調整信号とする信号判定手段と、を備え、更に、

前記同期調整信号を前記内部クロックでラッチした信号、及び前記同期調整信号のうち少なくとも一方を、前記内部クロックと共に出力するクロックデータ再生手段を備えるこ

50

とを特徴とする。

【0027】

また、第9の発明は、第8の発明において、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、少なくとも1つを対象として、当該内部クロックのトリガエッジの発生毎に信号値を取得し、かつ、それらの信号値を平行化する第2平行化手段を含み、

前記第2比較手段は、前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、前記平行化の対象とされたものについては、平行化された信号値を、前記特定信号列と比較することを特徴とする。

【0028】

また、第10の発明は、第1乃至第7の発明の何れかにおいて、

前記同期調整手段は、

前記クロックに遅延処理を施して少なくとも1つの遅延クロックを生成する第2クロック遅延手段と、

前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、第2設定時間に渡る、トリガエッジの発生時における前記入力信号の値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

前記比較の結果に基づいて、前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記第2設定時間に渡る入力信号と前記特定信号列との一致度を出力する第2一致度出力手段と、

前記クロック及び前記少なくとも1つの遅延クロックのうち、最も一致度の高いものを前記同期調整クロックとする信号判定手段と、を備え、更に、

前記入力信号を前記同期調整クロックでラッチした信号、及び前記入力信号のうち少なくとも一方を、前記同期調整クロックと共に出力するクロックデータ再生手段を備えることを特徴とする。

【0029】

また、第11の発明は、第10の発明において、

前記クロック及び前記少なくとも1つの遅延クロックのうち、少なくとも1つを対象として、トリガエッジの発生毎に前記第2設定時間に渡る入力信号の信号値を取得し、かつ、それらの信号値を平行化する第2平行化手段を含み、

前記第2比較手段は、前記クロック及び前記少なくとも1つの遅延クロックのうち、前記平行化の対象とされたものについては、平行化された信号値を、前記特定信号列と比較することを特徴とする。

【0030】

また、第12の発明は、第4又は第5の発明において、

前記同期調整手段は、

前記第2設定時間に渡る入力信号に遅延処理を施して少なくとも1つの遅延信号を生成する第2遅延手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号を対象として、当該内部クロックのトリガエッジの発生時における信号値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

前記比較の結果に基づいて、前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のそれぞれについて、前記特定信号列との一致度を出力する第2一致度出力手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、最も一致度の高いものを同期調整信号とする信号判定手段とを備え、更に、

前記同期調整信号を前記内部クロックでラッチした信号、及び前記同期調整信号のうち少なくとも一方を、前記内部クロックと共に出力するクロックデータ再生手段を備え、

前記遅延手段と前記第2遅延手段、及び前記比較手段と前記第2比較手段のうち少なくとも一方は、同一物で構成されていることを特徴とする。

10

20

30

40

50

## 【0031】

また、第13の発明は、第5の発明において、

前記同期調整手段は、

前記第2設定時間に渡る入力信号に遅延処理を施して少なくとも1つの遅延信号を生成する第2遅延手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号を対象として、当該内部クロックのトリガエッジの発生時における信号値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

前記比較の結果に基づいて、前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のそれぞれについて、前記特定信号列との一致度を出力する第2一致度出力手段と、 10

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、最も一致度の高いものを同期調整信号とする信号判定手段と、

前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、少なくとも1つを対象として、前記内部クロックのトリガエッジの発生毎に信号値を取得し、かつ、それらの信号値を平行化する第2平行化手段を備え、

前記第2比較手段は、前記第2設定時間に渡る入力信号及び前記少なくとも1つの遅延信号のうち、前記平行化の対象とされたものについては、平行化された信号値を、前記特定信号列と比較し、更に、

前記同期調整信号を前記内部クロックでラッチした信号、及び前記同期調整信号のうち少なくとも一方を、前記内部クロックと共に出力するクロックデータ再生手段を備え、 20

前記遅延手段と前記第2遅延手段、前記比較手段と前記第2比較手段、及び前記平行化手段と前記第2平行化手段の少なくとも一方は、同一物で構成されていることを特徴とする。

## 【0032】

また、第14の発明は、第6又は第7の発明において、

前記同期調整手段は、

クロックに遅延処理を施して少なくとも1つの遅延クロックを生成する第2クロック遅延手段と、

前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記第2設定時間に渡る、トリガエッジの発生時における前記入力信号の値を、前記特定信号列を構成する信号値と比較する第2比較手段と、 30

前記比較の結果に基づいて、前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記第2設定時間に渡る入力信号と前記特定信号列との一致度を出力する第2一致度出力手段と、

前記クロック及び前記少なくとも1つの遅延クロックのうち、最も一致度の高いものを前記同期調整クロックとする信号判定手段とを備え、更に、

前記入力信号を前記同期調整クロックでラッチした信号、及び前記入力信号のうち少なくとも一方を、前記同期調整クロックと共に出力するクロックデータ再生手段を備え、

前記クロック遅延手段と前記第2クロック遅延手段、及び前記比較手段と前記第2比較手段のうち少なくとも一方は、同一物で構成されていることを特徴とする。 40

## 【0033】

また、第15の発明は、第7の発明において、

前記同期調整手段は、

クロックに遅延処理を施して少なくとも1つの遅延クロックを生成する第2クロック遅延手段と、

前記クロック及び前記少なくとも1つの遅延クロックのそれぞれについて、前記第2設定時間に渡る、トリガエッジの発生時における前記入力信号の値を、前記特定信号列を構成する信号値と比較する第2比較手段と、

前記比較の結果に基づいて、前記クロック及び前記少なくとも1つの遅延クロックのそ 50

れぞれについて、前記第 2 設定時間に渡る入力信号と前記特定信号列との一致度を出力する第 2 一致度出力手段と、

前記クロック及び前記少なくとも 1 つの遅延クロックのうち、最も一致度の高いものを前記同期調整クロックとする信号判定手段と、

前記クロック及び前記少なくとも 1 つの遅延クロックのうち、少なくとも 1 つを対象として、トリガエッジの発生毎に前記第 2 設定時間に渡る入力信号の信号値を取得し、かつ、それらの信号値を平行化する第 2 平行化手段を備え、

前記第 2 比較手段は、前記クロック及び前記少なくとも 1 つの遅延クロックのうち、前記平行化の対象とされたものについては、平行化された信号値を、前記特定信号列と比較し、更に、

前記入力信号を前記同期調整クロックでラッチした信号、及び前記入力信号のうち少なくとも一方を、前記同期調整クロックと共に出力するクロックデータ再生手段を備え、

前記クロック遅延手段と前記第 2 クロック遅延手段、前記比較手段と前記第 2 比較手段、及び前記平行化手段と前記第 2 平行化手段のうち少なくとも一つは、同一物で構成されていることを特徴とする。

#### 【0034】

また、第 16 の発明は、電子装置であって、

第 1 乃至第 15 の発明の何れかに係るクロックデータ再生回路と、

前記同期調整手段から、同期調整された状態で出力される信号とクロックの組み合わせを用いて動作する信号処理回路と、

を備えることを特徴とする。

#### 【発明の効果】

#### 【0035】

本発明によれば、第 1 設定時間中に入力された信号列とプリアンプルに含まれる特定信号列との比較に基づいて、プリアンプルが入力されたか否かを判定することができる。そして、プリアンプルの検出を契機に、第 2 設定時間に渡る同期調整を行うことができる。この場合、プリアンプルは、第 1 設定時間と第 2 設定時間の和分だけ確保されていれば足りる。同期調整の処理のみで同期調整を実現しようとするれば、第 2 設定時間のほぼ 2 倍に相当するプリアンプルが必要となる。本発明では、第 1 設定時間は第 2 設定時間に比して短いため、プリアンプルの短縮化が実現される。

#### 【0036】

第 2 の発明によれば、第 1 設定時間中に入力された信号列とプリアンプルに含まれる特定信号列との比較に基づいて、プリアンプルが入力されたか否かを判定することができる。プリアンプルが検出されない場合は、第 1 設定時間が経過する毎に、新たにプリアンプルの検出処理が開始されると共に、同期調整の処理がリセットされる。そして、第 1 設定時間の経過と共にプリアンプルが検出されると、その第 1 設定時間中に行っていた同期調整の処理を利用しつつ、引き続き同期調整の処理が継続される。この場合、プリアンプルは、第 2 設定時間分だけ確保されていれば足りる。このように、本発明によれば、プリアンプルの短縮化が実現される。

#### 【0037】

第 3 の発明によれば、同期調整リセット手段が備える第 2 カウンタは、プリアンプル検出手段が備える第 1 カウンタに遅れて第 1 設定時間を計数し、第 1 設定時間を計数した時点でリセット信号を発生する。プリアンプルが検出されない限りは、このリセット信号が第 1 設定時間毎に発せられることになる。従って、この場合は、同期調整の処理は、第 1 設定時間毎に新たに開始されることになる。プリアンプルが検出されると、リセット信号の発生が禁止されるため、同期調整手段は、第 1 計数時間の経過後も、引き続き同期調整処理を行う。このように、本発明によれば、簡単な構成で、第 2 の発明において要求される機能を実現することができる。

#### 【0038】

第 4 の発明によれば、プリアンプル検出手段において、遅延信号を生成することにより

10

20

30

40

50

、クロックと同期のとれた信号の存在を保証することができる。この場合、プリアンブルが存在すれば、何れかの信号については、必然的に特定信号列との一致が認められる。本発明では、その一致が認められるか否かにより、プリアンブルの有無を精度良く判定することができる。

【0039】

第5の発明によれば、プリアンブル検出手段にパラレル化手段を設けることにより、パラレル化手段の後段において、プリアンブル検出手段に要求される処理速度を下げるができる。

【0040】

第6の発明によれば、プリアンブル検出手段において、遅延クロックを生成することにより、入力信号と同期のとれたクロックの存在を保証することができる。この場合、プリアンブルが存在すれば、何れかのクロックで処理された入力信号については、特定信号列との一致が認められる。本発明では、その一致が認められるか否かにより、プリアンブルの有無を精度良く判定することができる。

10

【0041】

第7の発明によれば、プリアンブル検出手段にパラレル化手段を設けることにより、パラレル化手段の後段において、プリアンブル検出手段に要求される処理速度を下げるができる。

【0042】

第8の発明によれば、同期調整手段において、遅延信号を生成することにより、クロックと同期のとれた信号の存在を保証することができる。この場合、プリアンブルの受信中は、何れかの信号について必然的に特定信号列との一致が認められる。本発明では、その一致が認められる環境下で、クロックとの同期のとれた信号を確実に生成することができる。

20

【0043】

第9の発明によれば、同期調整手段に第2パラレル化手段を設けることにより、その後段において、同期調整手段に要求される処理速度を下げることができる。

【0044】

第10の発明によれば、同期調整手段において、遅延クロックを生成することにより、入力信号と同期のとれたクロックの存在を保証することができる。この場合、プリアンブルの受信中は、何れかのクロックで処理された信号について必然的に特定信号列との一致が認められる。本発明では、その一致が認められる環境下で、入力信号との同期のとれた同期調整クロックを確実に生成することができる。

30

【0045】

第11の発明によれば、同期調整手段に第2パラレル化手段を設けることにより、その後段において、同期調整手段に要求される処理速度を下げることができる。

【0046】

第12又は第14の発明によれば、プリアンブル検出手段における遅延手段と同期調整手段における第2遅延手段、或いは、プリアンブル検出手段における比較手段と同期調整手段における第2比較手段の少なくとも一方を、共通化することができる。このため、本発明によれば、クロックデータ再生回路の規模を小さくすることができる。

40

【0047】

第13又は第15の発明によれば、プリアンブル検出手段における遅延手段と同期調整手段における第2遅延手段、プリアンブル検出手段における比較手段と同期調整手段における第2比較手段、或いは、プリアンブル検出手段におけるパラレル化手段と同期調整手段における第2パラレル化手段の少なくとも一つを、共通化することができる。このため、本発明によれば、クロックデータ再生回路の規模を小さくすることができる。

【0048】

第16の発明によれば、プリアンブルを十分に短くしても適正に動作することのできる電子装置を実現することができる。

50

## 【発明を実施するための最良の形態】

## 【0049】

実施の形態1.

## [実施の形態1の概要]

図1は、本発明の実施の形態1のクロックデータ再生回路20の構成を示すブロック図である。また、図2は、図1に示すクロックデータ再生回路20の動作原理を説明するためのタイミングチャートである。

## 【0050】

クロックデータ再生回路20は、通信システムの受信側において、入力信号と受信側のクロックとの同期調整を行うための回路である。特に、この回路は、ノイズの影響を受けやすい無線通信のシステムにおいて、効率的な同期調整を実現するうえで好適な回路である。

10

## 【0051】

本実施形態のクロックデータ再生回路20は、従来のクロックデータ再生回路10(図9参照)と同様に、データにプリアンブルが付加された形式の入力信号、つまり、図10に示す形式の入力信号を取り扱う。ここで、「プリアンブル」とは、入力信号の先頭或いは先頭に近い位置に設定される信号であり、一般的には、「0」「1」の交番信号により構成される。但し、本実施形態において、プリアンブルは、そのような交番信号に限定されるものではない。すなわち、受信側の装置がプリアンブルの記号列を既知のものとして取り扱うことができる限りは、プリアンブルを、ユーザが任意に決定したユニークワードやランダムデータにより構成してもよい。

20

## 【0052】

図1に示すように、本実施形態のクロックデータ再生回路20は、プリアンブル検出回路22とクロックデータ生成回路24とを備えている。プリアンブル検出回路22は、無信号期間を含めて入力信号を常に監視しており、図2に示すように、所定のプリアンブル検出期間T2毎にプリアンブルを受信しているか否かを判断する。この処理は、プリアンブルが検出されるまで繰り返される。そして、プリアンブル検出回路22は、プリアンブルを検出すると、図1に示すように、プリアンブル検出信号をクロックデータ生成回路24に出力する。

## 【0053】

クロックデータ生成回路24は、プリアンブル検出信号を受信したことを契機に、位相タイミング検出期間Tの間に、入力信号とクロックとの位相関係を検出する。続いて、この回路24は、入力信号とクロックの同期調整を行い、同期調整された信号とクロックとを出力する。

30

## 【0054】

図2に示すように、プリアンブル検出期間T2は、位相タイミング検出期間Tに比して十分に短い期間に設定されている。例えば、前者は16ビットの記号列に相当する期間に、また、後者は512ビットの記号列に相当する期間に設定されている。

## 【0055】

プリアンブルの有無は、順次入力された一連の信号値が、プリアンブルの記号列として既知のものに一致しているか否かにより判断される。そして、本実施形態において、プリアンブルの検出は、真正な入力信号の発生を判定するために、つまり、単なるノイズでない入力信号の発生を判定するために行われる。16ビット程度の記号列で一致が認められれば、入力された信号はノイズでなくプリアンブルであると判断できる。このため、プリアンブル検出期間T2は、上述した通り16ビット程度の短い期間とすることができる。

40

## 【0056】

一方、位相タイミングの検出精度は、その検出の基礎となる入力信号の数が多いほど向上する。そして、ノイズの多い環境での無線通信において所望の精度を得るためには、従来技術の欄で既述した通り、数百ビット分の入力信号が必要となる。このため、本実施形態では、位相タイミング検出期間Tを上記の通り512ビットとしている。

50

## 【 0 0 5 7 】

本実施形態のクロックデータ再生回路 20 によれば、入力信号が発生した後、プリアンブル検出期間 T2 の後にプリアンブルの存在が検知され、その後、位相タイミング検出期間 T の後に位相タイミングを検知することができる。このため、プリアンブルは、プリアンブル検出期間 T2 と位相タイミング検出期間 T との和 ( T2 + T ) に相当するビット数だけ確保されていれば十分である。

## 【 0 0 5 8 】

プリアンブル検出期間 T2 は、位相タイミング検出期間 T に比して短いから、本実施形態において要求されるプリアンブルの期間 ( T2 + T ) は、従来のクロックデータ再生回路 10 において要求されていた期間  $2 * T$  に比して短いものである。このため、本実施形態のクロックデータ再生回路 20 によれば、従来の回路 10 に比して、プリアンブルを短縮した通信システムを実現し、その結果、実効的な伝送スループットの高い通信システムを実現することができる。

## 【 0 0 5 9 】

また、本実施形態のクロックデータ再生回路 20 では、クロックデータ生成回路 24 の動作期間を、プリアンブルが検出された後、位相タイミング検出期間 T の間に限定することができる。クロックデータ生成回路 24 は、処理量が多く電力消費量の多い回路である。本実施形態によれば、その回路の動作期間を必要最小限とすることができるため、通信システムの消費電力を低減するという効果をも得ることができる。

## 【 0 0 6 0 】

## [ 実施の形態 1 の詳細 ]

図 3 は、本実施形態のクロックデータ再生回路 20 の構成を詳細に表したブロック図である。図 3 に示すように、プリアンブル検出回路 22 は、遅延回路群 30、統計回路群 32、及びプリアンブル判定回路 34 を備えている。また、プリアンブル検出回路 22 は、基準のクロックを発生する内部クロック 36、及び上述したプリアンブル検出期間 T2 をカウントするための T2 タイマ 38 を備えている。

## 【 0 0 6 1 】

遅延回路群 30 は、入力信号をそのまま後段の回路に通過させるための伝送路と共に、 $n - 1$  個の遅延回路  $30_{-1} \sim 30_{-(n-1)}$  を備えている。それらの遅延回路  $30_{-1} \sim 30_{-(n-1)}$  は直列に接続されている。このため、遅延回路群 30 によれば、多段に遅延した  $n - 1$  種類の遅延信号を生成することができる。つまり、遅延回路群 30 によれば、入力信号とあわせて、互いに位相の異なる  $n$  種類の信号を生成することができる。

## 【 0 0 6 2 】

入力信号の伝送レートが 2 Gbps である場合、1 ビットの伝送時間は 500 psec となる。遅延回路  $30_{-1} \sim 30_{-(n-1)}$  は、それぞれ、 $(500 / n)$  psec の遅延を発生させるように設定されている。例えば、 $n = 8$  である場合、遅延回路  $30_{-1} \sim 30_{-(n-1)}$  は、それぞれ 62.5 psec の遅延を発生させる。この場合、遅延回路群 30 によって生成される 8 種類の信号は、等間隔の位相ずれを伴った多段の位相シフト信号となる。

## 【 0 0 6 3 】

統計回路群 32 は、 $n$  個の統計回路  $32_{-1} \sim 32_{-n}$  を備えている。統計回路  $32_{-1} \sim 32_{-n}$  のそれぞれには、ラッチ回路 40、比較値記憶回路 42、及び比較加算累積回路 44 が設けられている。

## 【 0 0 6 4 】

それらの統計回路  $32_{-1} \sim 32_{-n}$  には、遅延回路群 30 から出力される  $n$  種類の位相シフト信号がそれぞれが供給される。つまり、1 番目の統計回路  $32_{-1}$  には、遅延回路群 30 を通過してきた入力信号が供給される。また、2 番目以降の統計回路  $32_{-2} \sim 32_{-n}$  には、それぞれ、 $(500 / n)$  psec ずつ多段に遅延された信号が、それぞれ供給されている。

## 【 0 0 6 5 】

10

20

30

40

50

統計回路 32<sub>1</sub> ~ 32<sub>n</sub> に供給された信号は、それぞれのラッチ回路 40 に到達する。ラッチ回路 40 は、内部クロック 36 から供給されるクロックにより動作し、そのクロックのトリガエッジ（ここでは、アップエッジとする）の発生を受けて信号の値をラッチする。

【0066】

内部クロック 36 の周波数は、入力信号の周波数に合わせて設定されている。種々のバツキの影響で、両者の周波数は、完全には一致しないが、本実施形態において授受される信号は断続的な信号であり、一まとまりの入力信号を受信する期間は極めて短時間である。このため、個々の入力信号との関係では、その周波数と内部クロック 36 の周波数は、一致しているものとして取り扱うことができる。

10

【0067】

入力信号の位相とクロックの位相との関係は、入力信号が発生するタイミングに応じて変化する。つまり、入力信号は、位相タイミング（図 12 参照）とクロックのアップエッジとが一致するようなタイミングで発生することもあれば、また、位相タイミングが隣接する 2 つのアップエッジの中央に位置するように発生することもある。後者の場合は、内部クロック 36 に同期したラッチ処理を行うことで、入力信号の値を正しく取り込むことができるが、前者の場合は、アップエッジのタイミングが信号値の変化タイミングと一致するため、内部クロック 36 に同期したラッチ処理により、入力信号の値を適正に取り込むことはできない。

【0068】

しかしながら、本実施形態においては、統計回路 32<sub>1</sub> ~ 32<sub>n</sub> に対して、互いに均等な位相ずれを伴う多段の位相シフト信号が与えられている。そして、それらの統計回路 32<sub>1</sub> ~ 32<sub>n</sub> は、何れも、内部クロック 36 が発するアップエッジを受けて、同じタイミングにおいて信号をラッチする。この場合、一部の統計回路では、受信した信号の位相タイミングがアップエッジと重なることとなるが、1 つ以上の統計回路においては、必然的に、受信信号の位相タイミングがアップエッジと重ならない状態となる。このため、本実施形態におけるプリアンブル検出回路 22 によれば、入力信号が如何なるタイミングで発生しても、少なくとも一つの統計回路において、入力信号に含まれる信号列をラッチ回路 40 に正しくラッチさせることができる。

20

【0069】

比較値記憶回路 42 は、プリアンブルに含まれる記号列を、所定のビット数分だけ記憶している。ここでは、説明の便宜上、プリアンブルが「0」「1」の交番信号であり、比較値記憶回路 42 は、プリアンブル検出期間 T2 に対応する 16 ビット分だけ 01 の交番信号を記憶しているものとする。また、その都度、内部で 01 交番を発生させて比較値とすることも可能である。

30

【0070】

比較加算累積回路 44 には、ラッチ回路 40 にラッチされたデータと、比較値記憶回路 42 に記憶された信号値とが、クロック毎に順次供給される。また、比較加算累積回路 44 には、T2 タイマから、プリアンブル検出期間 T2 毎にリセット信号が供給される。比較加算累積回路 44 は、そのリセット信号を受けることにより、初期状態にリセットされ、その後、クロック毎に、ラッチデータと比較値との比較、比較結果の加算、加算結果の累積等の処理を実行する。

40

【0071】

具体的には、比較加算累積回路 44 は、リセット信号を受けた後、16 ビットにわたって、順次ラッチデータと比較値とを比較する。その結果両者の一致が認められれば、一致数がインクリメントされ、他方、両者が不一致が認められれば、不一致数がインクリメントされる。16 ビットの比較が進む過程で、比較の結果は、上記の規則に従って順次加算される。その結果、全ての比較が一致していれば一致数が 16 となり、他方、全ての結果が不一致であれば不一致数が 16 となる。

【0072】

50



リセット信号を受信しない限り、比較加算累積回路44は、16ビットの比較及び加算を終える毎に、一致数及び不一致数をそれぞれ累積結果に移行させ、一致及び不一致に関する加算値をゼロとする。以後、比較加算累積回路44は、再び、ラッチデータと比較値との比較、及び、その比較の結果による一致数及び不一致数のインクリメントを実行する。

#### 【0073】

本実施形態では、プリアンブル検出期間T2が16ビットに対応しているため、比較加算累積回路44は、16ビットの比較を終える毎にリセットされる。このため、本実施形態では、一致数及び不一致数の加算値が累積されることはない。但し、プリアンブル検出期間T2は、16ビットよりも長いビット数、例えば32ビットに対応する期間に設定される

10

#### 【0074】

本実施形態において用いられるプリアンブルは、上述した通り「0」「1」の交番信号である。従って、比較値記憶回路42にも「0」「1」の交番信号が記憶されている。このため、プリアンブルの信号列が適正にラッチされた統計回路では、ラッチデータと比較値との比較が、クロック毎に全て一致する場合と、全て不一致となる場合とが生じ得る。

#### 【0075】

つまり、本実施形態では、ラッチされたデータが、プリアンブルの信号列に近づくほど、一致数及び不一致数の一方が大きくなり、これと同時に、それらの他方が小さくなるという現象が生じる。この場合、一致数及び不一致数のうち値の大きい方が、ラッチデータがプリアンブルの信号列に一致している可能性をより正しく表していることになる。そこで、比較加算累積回路44は、それらを比較したうえで、一致数と不一致数のうち大きい方の値を、比較データとして出力している。従って、本実施形態においては、その比較データを見ることで、統計回路32<sub>1</sub>～32<sub>n</sub>にラッチされる信号が、プリアンブルの信号列に一致しているか否かを正確に判断することができる。

20

#### 【0076】

統計回路32<sub>1</sub>～32<sub>n</sub>のそれぞれにおいて生成される比較データは、プリアンブル判定回路34に供給されている。また、プリアンブル判定回路34には、T2タイマ38から、プリアンブル検出期間T2毎に判定タイミング信号が供給される。プリアンブル判定回路34は、この判定タイミング信号を受けると、統計回路32<sub>1</sub>～32<sub>n</sub>のそれぞれにつき、判定値(例えば14)を超える比較データが出力されているか否かを判断する。

30

#### 【0077】

プリアンブル検出回路22に対してノイズでない信号が伝送され始めていれば、統計回路32<sub>1</sub>～32<sub>n</sub>には、プリアンブルの信号列を有する信号が供給されている。この場合、統計回路32<sub>1</sub>～32<sub>n</sub>の何れかにおいては、必然的にプリアンブルの信号列が適正にラッチされる。従って、少なくとも1つの統計回路からは、判定値を超える比較データが出力される。一方、プリアンブル検出回路22に対して、適正な信号が入力されていなければ、何れの統計回路からも、判定値を超える比較データが出力されることはない。

40

#### 【0078】

このため、プリアンブル判定回路34は、少なくとも1つの統計回路から、判定値を超える比較データが出力されている場合には、プリアンブルの検出を判定し、プリアンブル検出信号を出力する。他方、何れの統計回路からも判定値を超える比較データが出力されていない場合は、プリアンブル検出信号が出力されることはない。この場合、以後、プリアンブル検出期間T2毎に、上述した処理が繰り返される。

#### 【0079】

プリアンブル検出回路22によって、上述したプリアンブル検出信号が発せられると、これを契機として、クロックデータ生成回路24の動作が開始される。クロックデータ生

50

成回路 24 は、図 3 に示すように、遅延回路群 50、統計回路群 52、及び信号判定回路 54 を備えている。また、クロックデータ生成回路 24 は、基準のクロックを発生する内部クロック 56、及び位相タイミング検出期間 T をカウントするための T タイマ 58 を備えている。

#### 【0080】

遅延回路群 50、及び統計回路群 52 は、それぞれ、プリアンブル検出回路 22 における遅延回路群 30、及び統計回路群 32 と、実質的に同様である。また、内部クロック 56 も、プリアンブル検出回路 22 における内部クロック 36 と実質的に同じである。すなわち、遅延回路群 50 は、 $(n - 1)$  個の遅延回路遅延回路  $50_{-1} \sim 50_{-(n-1)}$  を有しており、段階的に等間隔で位相が遅らされた  $n$  種類の信号を生成する。また、統計回路群 52 は、 $n$  種類の信号のそれぞれに対応して設けられた  $n$  個の統計回路  $52_{-1} \sim 52_{-n}$  を有しており、統計回路  $52_{-1} \sim 52_{-n}$  のそれぞれは、内部クロック 56 を受けて作動するラッチ回路 60、比較値記憶回路 62、及び比較加算累積回路 64 を備えている。

10

#### 【0081】

比較加算累積回路 64 には、T タイマ 58 から、位相タイミング検出期間 T 毎にリセット信号が供給される。位相タイミング検出期間 T (512 ビット相当) は、プリアンブル検出期間 T2 (16 ビット相当) に比して十分に長い期間である。比較加算累積回路 64 は、クロック毎にラッチデータと比較値を比較し、一致数の加算、或いは不一致数の加算を行う。そして、リセット信号を受信しない限り、16 ビット毎に、それらの加算値を累積し、再び、上述した比較の処理、及び加算の処理を繰り返す。その結果、位相タイミング検出期間 T が満了する時点では、比較加算累積回路 64 に、512 ビット分の比較に基づく一致数及び不一致数が累積されている。

20

#### 【0082】

比較加算累積回路 64 では、比較加算累積回路 44 の場合と同様の理由により、ラッチされたデータが、プリアンブルの信号列に近づくほど、一致数及び不一致数の一方が大きくなり、これと同時に、それらの他方が小さくなるという現象が生じる。つまり、ここでも、一致数及び不一致数のうち値の大きい方が、ラッチデータがプリアンブルの信号列に一致している可能性をより正しく表していることになる。そこで、比較加算累積回路 64 は、それらを比較したうえで、一致数と不一致数のうち大きい方の値を、比較データとしてラッチデータとともに信号判定回路 54 に出力する。

30

#### 【0083】

クロックデータ生成回路 24 は、上述した通り、プリアンブルの発生が検出された後に作動する回路である。従って、統計回路  $52_{-1} \sim 52_{-n}$  は、何れも、プリアンブルの信号列を有する信号を受信しながら比較データを生成している。この場合、比較データは、プリアンブルの信号列が正しくラッチできている統計回路では大きな値となり、そのラッチが正しく行えていない統計回路では小さな値となる。つまり、クロックデータ生成回路 24 における比較データは、統計回路  $52_{-1} \sim 52_{-n}$  のそれぞれが処理している信号と、内部クロック 56 との同期の度合いを示す特性値としての意味を有している。

#### 【0084】

信号判定回路 54 は、統計回路  $52_{-1} \sim 52_{-n}$  のそれぞれから発せられる比較データの中から、最も大きなものを検出する。最大の比較データを発している統計回路は、全ての統計回路  $52_{-1} \sim 52_{-n}$  の中で、最も正しく入力信号、つまり、プリアンブルをラッチしている回路である。そして、信号判定回路 54 は、そのようにして検出した統計回路で処理されている信号 (以下、「同期信号」と称す) を、内部クロック 56 の発するクロックと共に後段の回路に向けて出力する。より正確には、信号判定回路 54 は、同期信号を内部クロック 56 によりラッチしたものを、同期調整信号として、クロックと共に出力している。

40

#### 【0085】

同期調整信号は、内部クロック 56 との同期が保証された信号である。このように、ク

50

ロックデータ再生回路 20 は、後段の装置に対して、同期の保証された信号とクロックの組み合わせを提供することができる。このため、後段の装置は、それらをセットで用いることにより、送信元から提供されたデータを正しく処理することができる。

【0086】

更に、本実施形態では、通信により授受される信号に、プリアンプル検出期間 T2 と位相タイミング検出期間 T の和分に相当する最小限のビット数でプリアンプルを付加することとしている。そして、本実施形態のクロックデータ生成装置 20 によれば、このような短いプリアンプルの送信期間中に、常に入力信号とクロックとの同期調整を終え、後段の装置に対して全てのデータを、クロックとの保証がとれた状態で提供することができる。このため、本実施形態のクロックデータ再生回路 20 によれば、優れた伝送効率での通信を実現することができる。

【0087】

ところで、上述した実施の形態 1 では、プリアンプル検出回路 22 及びクロックデータ生成回路 24 の双方において、内部クロック 36, 56 の位相を維持し、入力信号の遅延信号を生成することでプリアンプルの検出、及び信号とクロックの同期調整を実現することとしている。しかしながら、それらの手法はこれに限定されるものではない。すなわち、プリアンプル検出回路 22 においては、入力信号の位相を維持して、遅延クロックを生成することで同様の機能を実現することとしてもよい。具体的には、遅延回路 30<sub>1</sub> ~ 30<sub>(n-1)</sub> に代えて、多段の遅延クロックを生成するためのクロック遅延回路を設け、統計回路 32<sub>2</sub> ~ 32<sub>n</sub> を、それらの遅延クロックで作動させることによりプリアンプルを検出することとしてもよい。また、クロックデータ生成回路 24 についても、同様に、遅延回路 50<sub>1</sub> ~ 50<sub>(n-1)</sub> に代えて、多段の遅延クロックを生成するためのクロック遅延回路を設け、統計回路 52<sub>2</sub> ~ 52<sub>n</sub> を、それらの遅延クロックで作動させることにより位相タイミングの検出を実現することとしてもよい。

【0088】

また、上述した実施の形態 1 においては、クロックデータ再生回路 20 を、主としてハードウェアにより実現することとしているが、本発明はこれに限定されるものではない。すなわち、上記の構成を有するクロックデータ再生回路 20 は、ソフトウェアを利用して実現することとしてもよい。この点は、以下に説明する他の実施の形態についても同様である。

【0089】

また、上述した実施の形態 1 においては、プリアンプル検出回路 22 に内部クロック 36 を内蔵させ、かつ、クロックデータ生成回路 24 に内部クロック 56 を内蔵させることとしているが、これらの内部クロックは、必ずしも別々に準備する必要はない。すなわち、プリアンプル検出回路 22 の内部クロックと、クロックデータ生成回路 24 の内部クロックは、共通化することとしてもよい。

【0090】

実施の形態 2 .

次に、図 4 を参照して、本発明の実施の形態 2 について説明する。図 4 は、本実施形態のクロックデータ再生回路 70 の詳細な構成を説明するためのブロック図である。本実施形態のクロックデータ再生回路 70 は、プリアンプル検出回路 72 と、クロックデータ生成回路 74 とを備えている。この回路は、プリアンプル検出回路 72 にパラレル化回路 76<sub>1</sub> ~ 76<sub>n</sub> が挿入されている点、及びクロックデータ生成回路 74 に、パラレル化回路群 78 が挿入されている点を除き、実質的には実施の形態 1 の回路 20 と同様である。

【0091】

すなわち、本実施形態において、プリアンプル検出回路 72 には、遅延回路群 30 の後段にパラレル化回路 76<sub>1</sub> ~ 76<sub>n</sub> が配置されている。パラレル化回路 76<sub>1</sub> ~ 76<sub>n</sub> は、それぞれ、シフトレジスタを構成する M ビット数 (ここでは M = 16 とする) のレジスタ 80 と、同じ M ビット数 (M = 16) 分の比較値記憶器 82 を備えている。

## 【0092】

例えば、遅延回路群30を通過してくる入力信号は、パラレル化回路76<sub>1</sub>の最前段に配置されているレジスタ80に供給される。最前段のレジスタ80は、内部クロック36のトリガエッジ(アップエッジ)を受けて、入力信号の値をラッチする。2段目以降のレジスタ80は、そのアップエッジを受けて、前段のレジスタ80の値を順次ラッチして後段に送る。他のパラレル化回路76<sub>2</sub>~76<sub>n</sub>においても、遅延回路群30から供給される遅延信号を対象として、同様の処理が実行される。

## 【0093】

そして、パラレル化回路76<sub>1</sub>~76<sub>n</sub>は、16回のクロックが入力される毎に、16個のレジスタ80にラッチされている値と、16個の比較値記憶器82に記憶されている値とを、一度に統計回路群84に送る。以下、前者の16ビット信号を「並列入力信号列」と称し、また、後者の16ビット信号を「並列比較信号列」と称する。

## 【0094】

統計回路群84には、n個の統計回路84<sub>1</sub>~84<sub>n</sub>が準備されている。統計回路84<sub>1</sub>~84<sub>n</sub>は、それぞれ、並列入力信号列と並列比較信号列とを一度で比較できることを除き、実施の形態1における比較加算累積回路44と同様の機能を有している。すなわち、統計回路84<sub>1</sub>は、並列入力信号列と並列比較信号列とがパラレル化回路76<sub>1</sub>から入力されると、両者を比較して、ビット値の一致数及び不一致数を加算する。そして、T2タイマ38からリセット信号を受信するまで、その処理が繰り返される毎に一致数の加算値、及び不一致数の加算値を累積し、一致数及び不一致数のうち、大きい方を比較データとしてプリアンブル判定回路34に提供する。

## 【0095】

プリアンブル判定回路34は、このようにして供給される比較データに基づいて、実施の形態1の場合と同様に、プリアンブルの有無を判定し、その発生が検知された場合にプリアンブル検出信号を発生することができる。

## 【0096】

上記の構成によれば、入力信号のレートが2 Gbpsである場合、統計回路84<sub>1</sub>~84<sub>n</sub>の動作周波数は、その16分の1である125 MHzとなる。このように、本実施形態のクロックデータ再生回路70によれば、統計回路84<sub>1</sub>~84<sub>n</sub>の動作周波数を、実施の形態1の場合に比して格段に下げることができる。

## 【0097】

本実施形態のクロックデータ再生回路70は、クロックデータ生成回路74にも、パラレル化回路群78を有している。パラレル化回路群78は、上述したパラレル化回路76<sub>1</sub>~76<sub>n</sub>と同様の構成を有しており、統計回路群86に対して、クロック周波数の16分の1の周波数で、並列入力信号列及び並列比較信号列を供給する。このため、この回路70によれば、クロックデータ生成回路74においても、統計回路群86の動作周波数を格段に下げることができる。

## 【0098】

統計回路84<sub>1</sub>~84<sub>n</sub>、或いは統計回路群86の設計は、それらの動作周波数が遅いほど容易となる。反対に、それらの回路の動作周波数を遅くすることのできる回路構成によれば、クロックデータ再生回路70によって処理し得る周波数の上限を高めることができる。本実施形態のクロックデータ再生回路70によれば、実施の形態1の回路20によって達成される効果に加えて、これらの効果を得ることができる。

## 【0099】

ところで、上述した実施の形態2では、プリアンブル検出回路72及びクロックデータ生成回路74の双方において、内部クロック36, 56の位相を維持し、入力信号の遅延信号を生成することでプリアンブルの検出、及び信号とクロックの同期調整を実現することとしている。しかしながら、それらの手法はこれに限定されるものではない。すなわち、プリアンブル検出回路72においては、入力信号の位相を維持して、遅延クロックを生成することで同様の機能を実現することとしてもよい。具体的には、遅延回路30<sub>1</sub>~

10

20

30

40

50

30 - (n - 1) に代えて、多段の遅延クロックを生成するためのクロック遅延回路を設け、パラレル化回路76<sub>2</sub> ~ 76<sub>n</sub>を、それらの遅延クロックで作動させることによりプリアンブルを検出することとしてもよい。また、クロックデータ生成回路74についても、同様に、遅延回路群50に代えて、多段の遅延クロックを生成するクロック遅延回路群を設け、パラレル化回路群78を、それらの遅延クロックで作動させることにより位相タイミングの検出を実現することとしてもよい。

【0100】

また、上述した実施の形態2においては、プリアンブル検出回路72に内部クロック36を内蔵させ、かつ、クロックデータ生成回路74に内部クロック56を内蔵させることとしているが、これらの内部クロックは、必ずしも別々に準備する必要はない。すなわち、プリアンブル検出回路72の内部クロックと、クロックデータ生成回路74の内部クロックは、共通化することとしてもよい。

10

【0101】

実施の形態3

次に、図5を参照して、本発明の実施の形態3について説明する。図5は、本実施形態のクロックデータ再生回路90の構成を説明するためのブロック図である。上述した実施の形態2のクロックデータ再生回路70では、プリアンブル検出回路72とクロックデータ生成回路74に、同じ機能を実現するためのブロックが重複して設けられている。

【0102】

具体的には、プリアンブル検出回路72における遅延回路群30と、クロックデータ生成回路74における遅延回路群50は、何れも多段の位相シフト信号を生成するためのものであり、同一の構成で実現することができる。また、プリアンブル検出回路72におけるパラレル化回路群76<sub>1</sub> ~ 76<sub>n</sub>と、クロックデータ生成回路74におけるパラレル化回路群78も、16ビットの並列比較値信号列を記憶しつつ16ビットの並列入力信号を生成するという機能において共通しており、同一の構成で実現することができる。更に、プリアンブル検出回路72が備える統計回路84<sub>1</sub> ~ 84<sub>n</sub>は、並列入力信号列と並列比較信号列とを比較する機能、及び、その比較の結果から一致数の加算値及び不一致数の加算値を算出する機能に関しては、クロックデータ生成回路74の統計回路に要求される機能と共通している。

20

【0103】

本実施形態のクロックデータ再生回路90は、それらの重複する要素を共通化することにより、全体として、実施の形態2の回路70に比して著しく回路規模を縮小した点に特徴を有している。以下、図5を参照して、本実施形態において用いられる回路構成を詳細に説明する。尚、図5において、図4に示す要素と同一の要素については、同一の符号を付してその説明は省略または簡略する。

30

【0104】

すなわち、本実施形態のクロックデータ再生回路90は、図5に示すように、入力信号を基にn種類の位相シフト信号を生成するための遅延回路群30を備えている。遅延回路群30によって生成されたn種類の信号は、それぞれ、パラレル化回路76<sub>1</sub> ~ 76<sub>n</sub>に供給される。パラレル化回路76<sub>1</sub> ~ 76<sub>n</sub>は、16回のクロック入力を受ける毎に16ビットの並列入力信号列と、16ビットの並列比較信号列を出力する。

40

【0105】

パラレル化回路76<sub>1</sub> ~ 76<sub>n</sub>の後段には、統計回路群92が設けられている。統計回路群92には、n個の統計回路92<sub>1</sub> ~ 92<sub>n</sub>が含まれている。また、統計回路92<sub>1</sub> ~ 92<sub>n</sub>のそれぞれには、比較加算回路94と、累積回路96とが含まれている。

【0106】

比較加算回路94は、パラレル化回路76<sub>1</sub> ~ 76<sub>n</sub>から並列入力信号列と並列比較信号列の供給を受ける毎に、つまり、16回のクロック入力毎に、それら両者を比較して、一致数の加算値と不一致数の加算値を算出する。そして、比較加算回路94は、それ

50

らの加算値のうち、大きい方を、受信した信号とプリアンブルとの一致度を表す値としてプリアンブル判定回路34と累積回路96に供給する。

【0107】

プリアンブル判定回路34は、T2タイマ38からの判定タイミング信号を受けて、実施形態1又は2の場合と同様に作動する。具体的には、プリアンブル判定回路34は、プリアンブル検出期間T2毎に、判定タイミング信号を受けて、統計回路92<sub>1</sub>～92<sub>n</sub>の何れかから、判定値を超える加算値が出力されているかを判断する。本実施形態では、プリアンブル検出期間T2が、クロック周期の16回分とされている。より具体的には、比較加算回路94から加算値が出力される毎にプリアンブル検出期間T2が満了するような設定が施されている。このため、プリアンブル判定回路34では、比較加算回路94から16

10

【0108】

但し、比較加算回路94が加算値を出力するタイミングと、T2タイマ38から判定タイミングが発せられるタイミングは、実施の形態1及び2の場合と同様に、必ずしも一致している必要はない。すなわち、プリアンブル検出期間T2は、例えばクロック周期の32回分であってもよい。この場合、16クロック毎に比較加算回路94から発せられる加算値をプリアンブル判定回路34の内部で累積して32ビット分の比較とすれば、所望の比較を実行することが可能である。

【0109】

プリアンブル判定回路34は、何れの統計回路92<sub>1</sub>～92<sub>n</sub>からも判定値を超える加算値が出力されていないと判断した場合は、プリアンブル検出信号を出力することなく、再び加算値の待ち受け状態となる。そして、何れかの統計回路92<sub>1</sub>～92<sub>n</sub>において判定値を超える加算値の発生を認められると、プリアンブル判定回路34からプリアンブル検出信号が発せられる。

20

【0110】

本実施形態において、プリアンブル検出信号は、統計回路92<sub>1</sub>～92<sub>n</sub>がそれぞれ備える累積回路96、及びTタイマ58に供給される。これらの回路は、プリアンブル検出信号を受信するまではリセット状態、或いは停止状態とされており、その信号を受信したことを契機に作動し始める。

30

【0111】

統計回路92<sub>1</sub>～92<sub>n</sub>のそれぞれにおいて、比較加算回路94は、プリアンブル検出信号の発生前後に関わらず、同様に作動する。このため、累積回路96には、プリアンブル検出信号の発生後も、16クロック毎に、並列入力信号列と並列比較信号列との一致度を表す加算値が供給される。累積回路96は、プリアンブル検出信号の発生後に、その加算値の累積を開始し、その累積の結果を、ラッチデータとともに信号判定回路54に対して提供する。

【0112】

Tタイマ58は、実施の形態1又は2の場合と同様に、プリアンブル検出信号を受信した後、位相タイミング検出期間T(例えばクロック周期の512回分に相当する期間)が経過した時点で、信号判定回路54に対して判定タイミングの信号を出力する。この間、累積回路96では、複数回に渡って(例えば32回に渡って)比較加算回路94から出力される加算値が累積されている。そして、信号判定回路54は、上述した判定タイミングの信号を受信した時点で、最も大きな累積値を発生している統計回路を選択し、その回路で処理されている信号を、厳密には、その信号を内部クロック36でラッチした信号を、同期調整信号として内部クロック36と共に後段の回路に供給する。

40

【0113】

以上説明した通り、図5に示す回路構成によれば、遅延回路群30、パラレル化回路76-1～76-n、及び比較加算回路94等を、プリアンブルの検出、及び位相タイミングの検出の双方において共通に利用することができる。つまり、図5に示す回路構成によ

50

れば、実施の形態 1 又は 2 において重複して設けられていた回路構成を共通化することができる。このため、本実施形態の構成によれば、高い伝送レートを実現することのできるクロックデータ再生回路 90 を、小規模の回路で実現することが可能である。

#### 【0114】

ところで、上述した実施の形態 3 では、プリアンプを検出し、また、入力信号の位相タイミングを検出するにあたって、内部クロック 36 の位相を維持し、入力信号の遅延信号を生成することとしているが、本発明はこれに限定されるものではない。すなわち、遅延信号を生成するための遅延回路群 30 に代えて、多段の遅延クロックを生成するためのクロック遅延回路群を設け、パラレル化回路  $76_{2} \sim 76_{n}$  を、それらの遅延クロックで作動させることにより、プリアンプの検出、及び位相タイミングの検出を行うこと

10

#### 【0115】

実施の形態 4 .

次に、図 6 を参照して、本発明の実施の形態 4 について説明する。図 6 は、本実施形態の電子装置の構成を説明するための図である。本実施形態の電子装置は、図 6 に示すように、無線通信により送信される信号を受信するためのアンテナ 100 を備えている。アンテナ 100 には、受信した信号を電気信号に変換するための高周波回路 102 が接続されている。

#### 【0116】

高周波回路 102 によって生成された信号は、上述した実施の形態 1 のクロックデータ再生回路 20 に供給される。この信号には、プリアンプ検出期間  $T_2$  と位相タイミング検出期間  $T$  の和に相当するビット数のプリアンプが含まれている。クロックデータ再生回路 20 は、そのプリアンプの受信期間中に、クロックと信号の同期調整を終えて、その後段にクロックと同期調整信号とを出力し始めることができる。

20

#### 【0117】

クロックデータ再生回路 20 の後段には、ベースバンド処理回路 104 が配置されている。ベースバンド処理回路 104 は、その前段から供給されてくる同期調整信号とクロックとから、データの解析を行う。ベースバンド処理回路 104 は、具体的には、信号の送信及び受信の制御、イーサ信号の分解及び組み立て、映像信号を処理するためのインターフェース処理等が行われる。

30

#### 【0118】

尚、本発明に係る電子装置には、必ずしもベースバンド処理回路 104 は必要ではない。反対に、本発明に係る電子装置には、更なる処理回路を含めることも可能である。また、実施の形態 4 では、電子装置が、無線通信を行う装置に限定されているが、本発明はこれに限定されるものではなく、データ通信を行い得る装置であれば、その通信が如何なる方式であっても、本発明を適用することは可能である。

#### 【0119】

また、上述した実施の形態 4 では、実施の形態 1 に係るクロックデータ再生回路 20 を用いることとしているが、ここで用いることのできるクロックデータ再生回路はこれに限定されるものではない。すなわち、本実施形態の電子回路には、実施の形態 2 又は 3 のクロックデータ再生回路 70, 90、或いは、以下に説明する実施の形態 5 のクロックデータ再生回路 110 を組み合わせてもよい。

40

#### 【0120】

また、上述した実施の形態 1 乃至 4 においては、「同期」の語句を用いて説明を行っているが、これらの説明における「同期」は、恒常的な同期のみを意味するものではない。すなわち、この「同期」は、受信パケットの存在する期間における短期間での同期をも含むものである。

#### 【0121】

実施の形態 5 .

次に、図 7 および図 8 を参照して、本発明の実施の形態 5 について説明する。図 7 は、

50

本実施形態のクロックデータ再生回路 110 の詳細な構成を説明するためのブロック図である。本実施形態のクロックデータ再生回路 110 は、クロックデータ生成回路 24 が、クロックデータ生成回路 112 に置き換えられている点を除いて、実施の形態 1 のクロックデータ再生回路 20 と同様である。

【0122】

実施の形態 1 におけるクロックデータ生成回路 24 は、プリアンブル検出回路 22 から発せられるプリアンブル検出信号を契機として同期調整の処理を実行する回路である。本実施形態におけるクロックデータ生成回路 112 は、同期調整の処理を常に実行している点、第 2 T2 タイマ 114 を備えている点、および T タイマ 58 が T タイマ 116 に置き換えられている点において実施の形態 1 の回路 24 と異なっている。

10

【0123】

第 2 T2 タイマ 114 は、プリアンブル検出回路 22 が備える T2 タイマ 38 に 1 クロックだけ遅れて、プリアンブル検出期間 T2 を繰り返し計数する。また、第 2 T2 タイマ 114 は、プリアンブル検出信号を受信しない限り、計数値が T2 に達する毎にリセット信号を発生し、プリアンブル検出信号を受信すると、その動作を停止させる。

【0124】

第 2 T2 タイマ 114 が発するリセット信号は、T タイマ 116 に供給される。従って、T タイマ 116 には、プリアンブルが検出されない限り、プリアンブル検出期間 T2 毎にリセット信号が供給される。そして、プリアンブルが検出されると、T タイマ 116 に対するリセット信号の供給が停止される。

20

【0125】

T タイマ 116 は、第 2 T2 タイマ 114 からリセット信号を受信すると、比較加算累積回路 64 に向けてリセット信号を出力すると共に、計数値をクリアして位相タイミング検出期間 T を改めて計数し始める。このため、第 2 T2 タイマ 114 がリセット信号を発すると、クロックデータ生成回路 112 の内部では、T2 の期間に渡って実行してきた同期処理（比較結果の加算値の累積値）がクリアされ、改めて同期処理が初めから開始される。

【0126】

プリアンブルが検出され、T タイマ 116 に対するリセット信号の供給が停止されると、T タイマ 116 は、プリアンブル検出期間 T2 を超えて計数値をカウントアップする。この場合、T タイマ 116 は、計数値が位相タイミング検出期間 T に達した時点で以下の処理を行う。

30

1. 計数値をリセットして新たに位相タイミング検出期間 T の計数を開始する。
2. 信号判定回路 54 に向けて判定タイミングを発する。
3. 比較加算累積回路 64 に向けてリセット信号を発する。

【0127】

比較加算累積回路 64 は、実施の形態 1 の場合と同様に、リセット信号を受けるまで、入力信号と比較値との一致度を表す累積値を演算する。また、信号判定回路 54 は、判定タイミングを受けて、上記の累積値に基づいて同期信号を検出する。従って、T タイマ 116 において位相タイミング検出期間 T が計数されると、その時点で、信号判定回路 54 において同期信号が検知される。

40

【0128】

図 8 は、本実施形態のクロックデータ再生回路 110 の動作を説明するためのタイミングチャートである。図 8 に示すように、プリアンブル検出期間 T2 は、位相タイミング検出期間 T に比して十分に短い期間である。ここでは、実施の形態 1 の場合と同様に、プリアンブル検出期間 T2 が 16 ビットの記号列に相当する期間であり、位相タイミング検出期間 T が 512 ビットの記号列に相当する期間であるものとする。

【0129】

クロックデータ再生回路 110 が信号を受信していない期間中、つまり、無信号期間中は、プリアンブル検出回路 22 の内部では T2 タイマ 38 により、また、クロックデータ生成回路 112 の内部では第 2 T2 タイマ 114 により、それぞれプリアンブル検出期間 T2 が

50



繰り返し計数される。但し、第2 T2タイマ 1 1 4 は、T2タイマ 3 8 に対して1クロックだけ遅れてプリアンブル検出期間T2を計数する。

【0 1 3 0】

第2 T2タイマ 1 1 4 が繰り返しプリアンブル検出期間T2を計数している間は、Tタイマ 1 1 6 も、T2毎にリセットされる。図8に示すように、時刻t1においてプリアンブルが発生した場合は、時刻t1の直後に開始されたプリアンブル検出期間T2が終了する時点（図8中、時刻t2+T2）で、プリアンブル検出回路2 2 がプリアンブルを検出し、プリアンブル検出信号を発生する。その結果、第2 T2タイマ 1 1 4 は、計数値がT2に達する直前で動作を停止させる。

【0 1 3 1】

第2 T2タイマ 1 1 4 の動作が停止されると、Tタイマ 1 1 6 の計数値は、T2を超えて大きくなる。そして、その計数値が位相タイミング検出期間Tに達すると、クロックデータ生成回路 1 1 2 による同調処理が終了する。上記の処理において、クロックデータ生成回路 1 1 2 は、時刻t2の1クロック後である時刻t3の後、T-t3の期間が経過した時点で同調処理を終了させることができる。

【0 1 3 2】

上述した実施の形態1のクロックデータ再生回路2 0 は、プリアンブル検出信号の発生を契機として同調処理を開始する。この場合、プリアンブルが発生した後、同調処理が終了するまでの最短期間は「T2+T」となる。これに対して、本実施形態の回路1 1 0 では、上記の最短期間を「T+1クロック期間」に短縮することができる。このため、本実施形態の回路1 1 0 によれば、実施の形態1の場合に比して、プリアンブルを更に短縮することができる。

【0 1 3 3】

ところで、上述した実施の形態5では、実施の形態1のクロックデータ再生回路2 0 をベースとして、第2 T2タイマ 1 1 4 の追加、およびTタイマ 1 1 6 の置き換えを行うこととしているが、本発明はこれに限定されるものではない。すなわち、本実施形態の回路1 1 0 は、実施の形態2又は3の回路7 0 , 9 0 をベースとして構成することとしてもよい。

【図面の簡単な説明】

【0 1 3 4】

【図1】本発明の実施の形態1のクロックデータ再生回路の構成を示すブロック図である。

【図2】図1に示すクロックデータ再生回路の動作原理を説明するためのタイミングチャートである。

【図3】本発明の実施の形態1のクロックデータ再生回路の構成を詳細に表したブロック図である。

【図4】本発明の実施の形態2のクロックデータ再生回路の構成を詳細に表したブロック図である。

【図5】本発明の実施の形態3のクロックデータ再生回路の構成を詳細に表したブロック図である。

【図6】本発明の実施の形態4の電子装置の構成を説明するための図である。

【図7】本発明の実施の形態5のクロックデータ再生回路の構成を詳細に表したブロック図である。

【図8】図7に示すクロックデータ再生回路の動作を説明するためのタイミングチャートである。

【図9】従来のクロックデータ再生回路の構成を示す図である。

【図10】プリアンブルが付加された入力信号のデータ形式を説明するための図である。

【図11】「0」「1」の交番信号で構成される一般的なプリアンブルの波形を示す図である。

【図12】プリアンブルの位相タイミングとクロックのトリガエッジ（ここではアップエ

10

20

30

40

50

ツジ)とが一致している場合を示した図である。

【図13】位相タイミング検出回路が、入力信号の位相を検知する手法を説明するためのタイミングチャートである。

【図14】図9に示す従来のクロックデータ再生回路の問題点を説明する図である。

【符号の説明】

【0135】

20、70、90 クロックデータ再生回路

22、72 プリアンブル検出回路

24、74 クロックデータ生成回路

30、50 遅延回路群

30<sub>-1</sub> ~ 30<sub>-(n-1)</sub>、50<sub>-1</sub> ~ 50<sub>-(n-1)</sub> 遅延回路

32、52、84、86、92 統計回路群

32<sub>-1</sub> ~ 32<sub>-n</sub> 52<sub>-1</sub> ~ 52<sub>-n</sub> 84<sub>-1</sub> ~ 84<sub>-n</sub> 92<sub>-1</sub> ~ 92<sub>-n</sub>

統計回路

34 プリアンブル判定回路

36、56 内部クロック

38 T2タイマ

40、60 ラッチ回路

42、62 比較値記憶回路

44、64 比較加算累積回路

54 信号判定回路

58 Tタイマ

76<sub>-1</sub> ~ 76<sub>-n</sub> パラレル化回路

78 パラレル化回路群

94 比較加算回路

96 累積回路

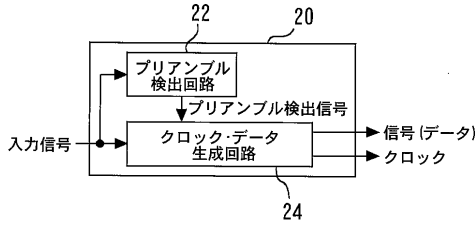
102 高周波回路

104 ベースバンド処理回路

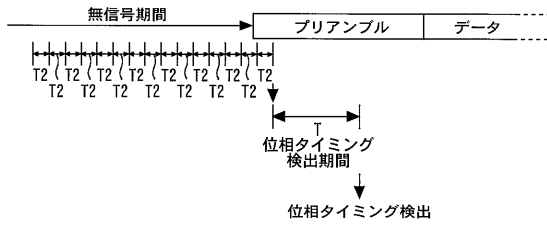
10

20

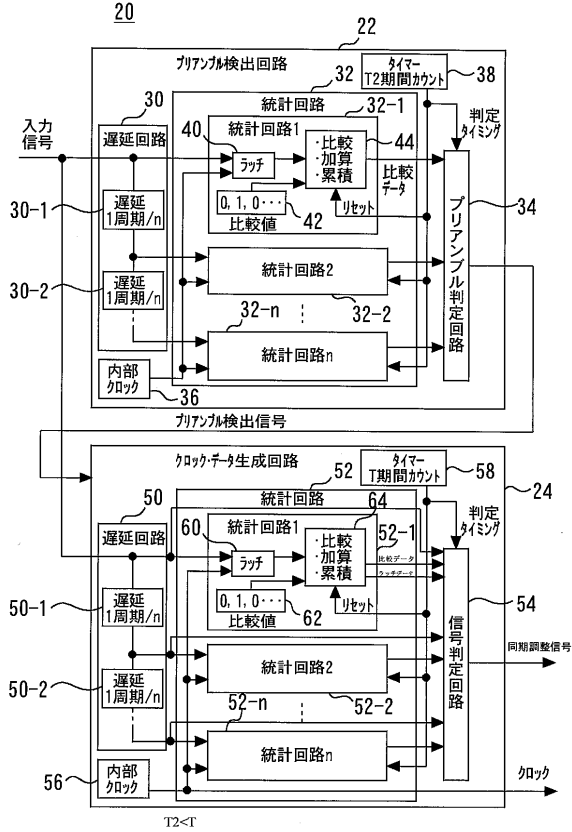
【図1】



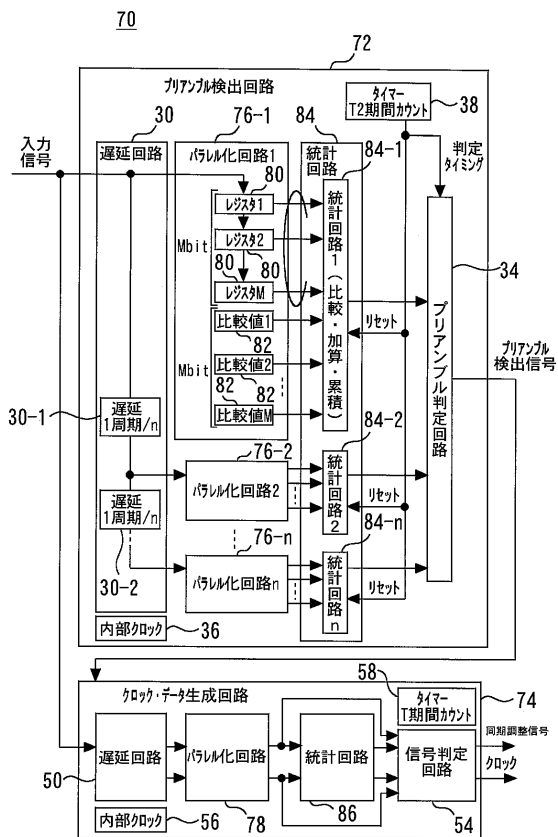
【図2】



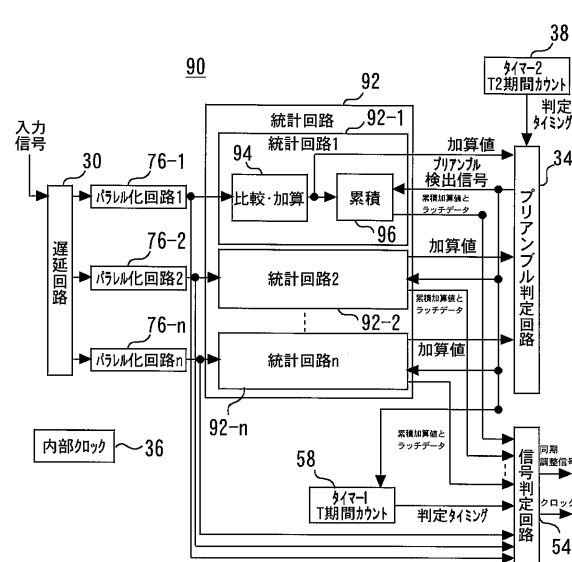
【図3】



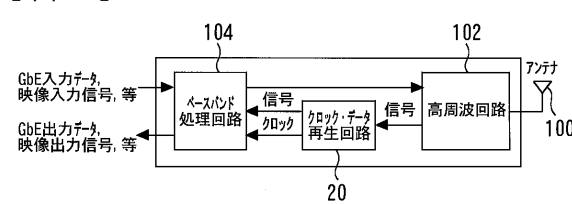
【図4】



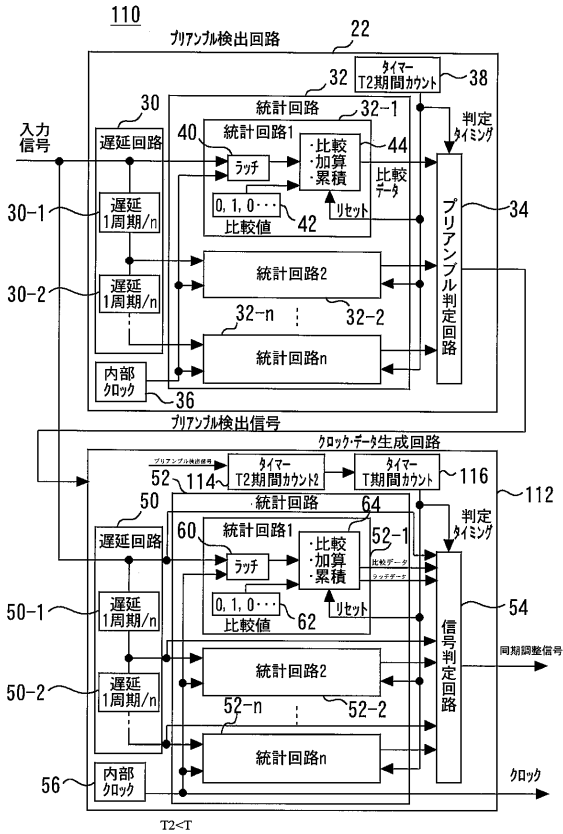
【図5】



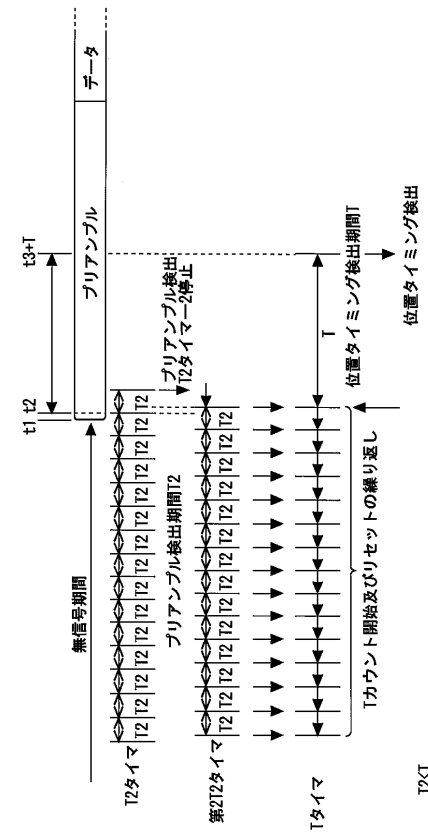
【図6】



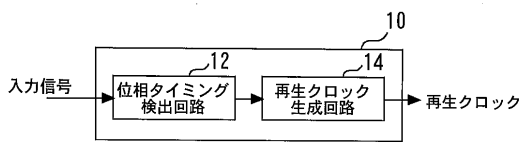
【 図 7 】



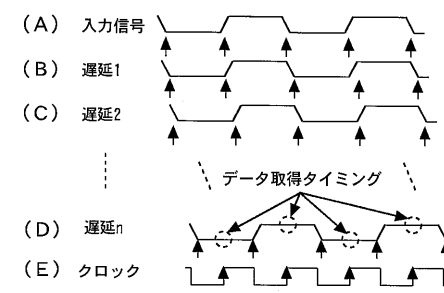
【 図 8 】



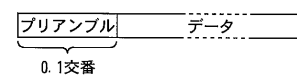
【 図 9 】



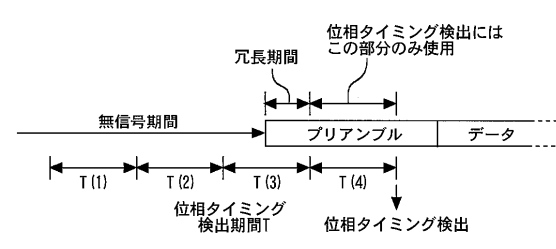
【 図 1 3 】



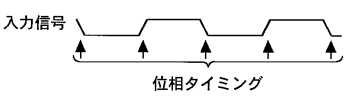
【 図 1 0 】



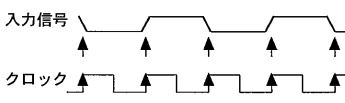
【 図 1 4 】



【 図 1 1 】



【 図 1 2 】



---

フロントページの続き

- (72)発明者 斎藤 茂樹  
東京都渋谷区道玄坂一丁目12番1号 NTTエレクトロニクス株式会社内
- (72)発明者 佐々木 誠  
東京都渋谷区道玄坂一丁目12番1号 NTTエレクトロニクス株式会社内
- (72)発明者 鈴木 康夫  
東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
- (72)発明者 豊田 一彦  
東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
- (72)発明者 梅比良 正弘  
東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内
- Fターム(参考) 5K047 AA02 GG11 GG13 HH53 JJ06